

PATENT ABSTRACTS OF JAPAN

(11)Publication number :

04-302164

(43)Date of publication of application : 26.10.1992

(51)Int.CI.

H01L 25/065
H01L 25/07
H01L 25/18
H01L 21/60

(21)Application number : 03-066270

(71)Applicant : FUJITSU LTD

(22)Date of filing : 29.03.1991

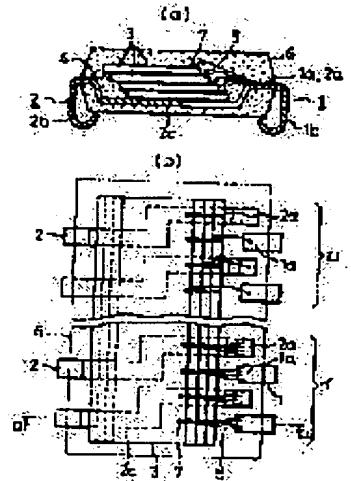
(72)Inventor : YOSHIMOTO MASANORI
TSUJI KAZUTO
KASAI JUNICHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To obtain a semiconductor device having a large capacity and many functions by a packaging technique.

CONSTITUTION: A semiconductor device is constituted by such a way that a plurality of semiconductor chips 3 of the same function and the same size are stacked into a stepwise form via an insulating layer 4 and mounted in one package and electrodes 7 exposed at the stepwise parts of the chips 3 are electrically connected with inner leads 1a and 2a of the package.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-302164

(43)公開日 平成4年(1992)10月26日

(51)Int.Cl.⁵

識別記号

序内整理番号

F I

技術表示箇所

H 01 L 25/065

25/07

25/18

21/60

301 B 6918-4M

7220-4M

H 01 L 25/08

B

審査請求 未請求 請求項の数4(全4頁)

(21)出願番号

特願平3-66270

(22)出願日

平成3年(1991)3月29日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 吉本 正則

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 辻 和人

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 河西 純一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 青木 朗 (外4名)

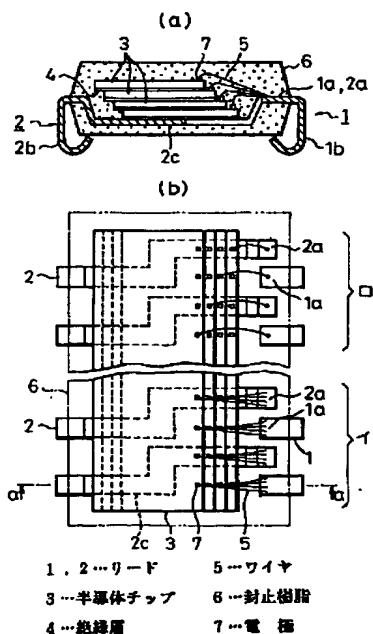
(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 本発明は半導体装置に関し、パッケージング技術により、大容量・多機能化した半導体装置を実現することを目的とする。

【構成】 1つのパッケージ内に、複数の同一機能、同サイズの半導体チップ3が絶縁層4を介して階段状に積み重ねて搭載され、各半導体チップ3の階段状部分に露出した電極7とパッケージのインナーリード1a, 2aとが電気的に接続されて成るよう構成する。

本発明の第1の実施例を示す図



【特許請求の範囲】

【請求項1】 1つのパッケージ内に、複数の同一機能、同一サイズの半導体チップ(3)が絶縁層(4)を介して階段状に積み重ねて搭載され、各半導体チップ(3)の階段状部分に露出した電極(7)とパッケージのインナーリード(1a, 2a)とが電気的に接続されて成ることを特徴とする半導体装置。

【請求項2】 上記半導体チップ(3)は、その一辺又は隣接する2辺に電極(7)が設けられ、該電極(7)が露出するように一方又は2方向にずらして積み重ねられていることを特徴とする請求項1の半導体装置。

【請求項3】 上記半導体チップ(3)の電極(7)とパッケージとインナーリード(1a, 2a)との電気的接続は、ワイヤボンディング技術又はテープオートメイティッドボンディング技術により接続されたものであることを特徴とする請求項1の半導体装置。

【請求項4】 上記半導体チップ(3)の電極(7)とパッケージのインナーリード(1a, 2a)とのワイヤボンディングにおいて、同一インナーリードに接続される電極(7)はそれぞれ別個のワイヤでインナーリードに接続されるか、又は一本のワイヤで各電極(7)を順次接続し、さらにインナーリード(1a 又は2a)に接続されていることを特徴とする請求項1の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置に関する。詳しくは1つのパッケージに複数個の半導体チップを積み重ねて収容した半導体装置に関する。

【0002】

【従来の技術】 従来の半導体装置は図5に示すようにダイステージ部8、インナーリード1a、アウターリード1bより構成されるリードフレーム又はリードベースを使用して製造される。すなわち、ダイステージ部8へ半導体チップ3をダイ付けし、該半導体チップ3の電極とインナーリード1aとの間を金線5等でワイヤボンディングした後、樹脂6で封止しており、1つのパッケージに1つの半導体チップが基本であった。

【0003】

【発明が解決しようとする課題】 近年の電子機器類の発展に伴い、半導体装置は小型化・薄型化・大容量化・多機能化が求められるようになってきている。

【0004】 前者の小型化・薄型化に対しても、狭ピッチQFP (Quad Flat Package) やTSOP (Thin Small Outline Package) 等の開発により対応可能であるが、後者の大容量化・多機能化については、半導体チップの集積度及びプロセス技術に負うところが多く、パッケージング技術によりこの要求を満たすことは困難である。

【0005】 本発明は、パッケージング技術により、大容量化・多機能化した半導体装置を実現しようとする。

【0006】

【課題を解決するための手段】 本発明の半導体装置においては、1つのパッケージ内に複数の同一機能、同一サイズの半導体チップが絶縁層を介して階段状に積み重ねて搭載され、各半導体チップの階段状部分に露出した電極と、パッケージのインナーリードとが電気的に接続されて成ることを特徴とする。

【0007】 また、それに加えて、上記半導体チップは、その一辺又は隣接する2辺に電極が設けられ、該電極が露出するように一方又は2方向にずらして積み重ねられていることを特徴とする。また、それに加えて、上記半導体チップの電極とパッケージのインナーリードとの電気的接続は、ワイヤボンディング技術又はテープオートメイティッドボンディング技術により接続されたものであることを特徴とする。

【0008】 また、それに加えて、上記半導体チップの電極とパッケージのインナーリードとのワイヤボンディングにおいて、同一インナーリードに接続される電極はそれぞれ別個のワイヤでインナーリードに接続されるか又は一本のワイヤで各電極を順次接続し、さらにインナーリードに接続されていることを特徴とする。この構成を探ることに依り、大容量化・多機能化した半導体装置が得られる。

【0009】

【作用】 一つのパッケージに複数の半導体チップを階段状に積み重ねて搭載することにより、各半導体チップの電極とリードフレームのインナーリードとのワイヤボンディングが容易となる。また従来に比して1つのパッケージで複数倍の容量・機能を持たすことができ、大容量化・多機能化が実現される。

【0010】

【実施例】 図1は本発明の第1の実施例を示す図であり、(a)は(b)図のa-a線における断面図、(b)は平面図である。本実施例はCOL構造のプラスチックパッケージの半導体装置であり、同図において1, 2はリード、3は半導体チップ、4は絶縁層、5はワイヤ、6は封止樹脂、7は電極である。

【0011】 リード1はインナーリード1aとアウターリード1bとなり、リード2はインナーリード2aとアウターリード2bと該インナーリード2aとアウターリード2bをつなぐ中間リード2cとなり、複数のリード1がパッケージの一方の辺に、複数のリード2が他方の辺に配設され、それぞれのインナーリード1a, 2aがパッケージの一方の辺に集められている。

【0012】 また該リード2の中間リード2cはダイステージの役目をなし、その上には複数個の同一サイズで同一機能を有し、且つ電極7が一方の辺に集中して設けられた半導体チップ3が、それぞれ絶縁層4を介し、且つ、その電極7が露出するように階段状にずらして積層されている。

3

【0013】そして各半導体チップ3の同一作用をなす電極7は(b)図のイ部分に示すように、同一インナーリード1a又は2aにワイヤ5でワイヤボンディングされている。また素子選択用の電極7は(b)図のロ部分に示すように、それぞれ単独で1つのインナーリード1a又は2aにワイヤボンディングされている。

【0014】このように構成された本実施例は、外部からのチップセレクト信号により、複数個の半導体チップ3から所要の半導体チップ3を選択し駆動することができる。また本実施例によれば同一パッケージに複数個の半導体チップを搭載しているため、従来に比して大容量化・多機能化することができる。

【0015】図2は本発明の第2の実施例を示す図であり、(a)は(b)図のa-a線における断面図、(b)は平面図である。同図において、図1と同一部分は同一符号を付して示した。本実施例が前実施例と異なるところは、本実施例はZIP型としたことであり、リード1をパッケージの一方の辺に集め、且つダイステージ部8を有するリードフレームを用いたことである。

【0016】そして、複数の同一大きさ、同一機能の半導体チップ3を絶縁層4を介し、階段状に積層したこと、及びワイヤボンディング等は前実施例と同様である。従って本実施例の作用効果も前実施例と同様である。

【0017】図3は本発明の第3の実施例を説明するための図である。同図において図2と同一部分は同一符号を付して示した。本実施例は前実施例と同様なZIP型プラスチックパッケージであり、前実施例と異なるところは、前実施例が、複数の半導体チップ3を一方向にのみずらせて階段状としたことに対し、本実施例では、半導体チップ3の隣接する2辺に電極7を設け、該電極7が露出するように2方向にずらして階段状に積層したことである。

【0018】このように構成された本実施例の作用、効果は前実施例と全く同様である。なお前述した各実施例

4

では、樹脂封止型半導体装置で説明したが、セラミック型半導体装置でも同様である。また半導体チップ3の電極7とインナーリード1a又は2aとの接続方法は、ワイヤボンディング方法で説明したが、TAB(テープオートメイティッドボンディング)方式でも可能である。また各実施例においては各電極7から直接インナーリード1a又は2aにワイヤボンディングされているが、図4に示すように同一のインナーリード1aに接続される各電極7を1本のワイヤ5で順次ボンディングしても良い。

10 【0019】

【発明の効果】本発明に依れば、従来と同様なパッケージに、同一機能、同一サイズの半導体チップを複数個搭載することができ、半導体装置の大容量化・多機能化に寄与することろ大である。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す図で、(a)は(b)図のa-a線における断面図、(b)は平面図である。

【図2】本発明の第2の実施例を示す図で、(a)は(b)図のa-a線における断面図、(b)は平面図である。

【図3】本発明の第3の実施例を示す図である。

【図4】本発明の実施例のワイヤボンディングの1例を示す図である。

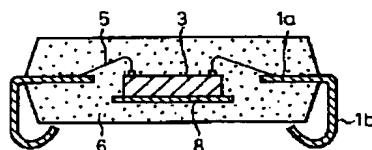
【図5】従来の半導体装置を示す図である。

【符号の説明】

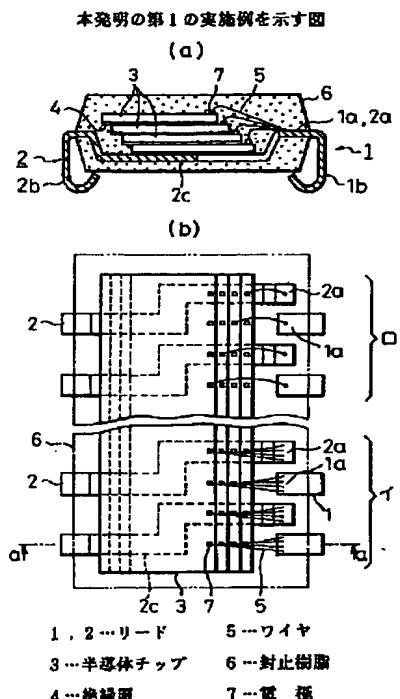
- 1, 2…リード
- 1a, 2a…インナーリード
- 1b, 2b…アウターリード
- 3…半導体チップ
- 4…絶縁層
- 5…ワイヤ
- 6…封止樹脂
- 7…電極
- 8…ダイステージ部

【図5】

従来の半導体装置を示す図

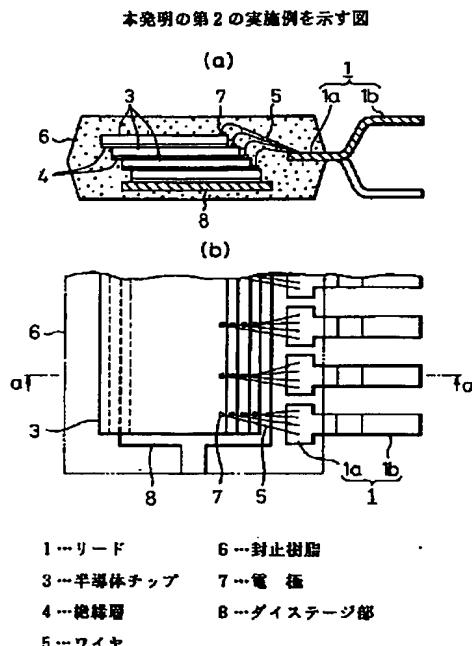


【図1】

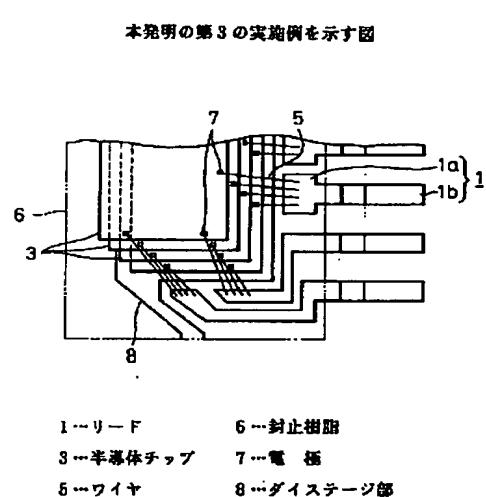


【図3】

【図2】



【図4】



本発明の実施例のワイヤボンディングの1例を示す図

